

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-008103

(43)Date of publication of application : 21.01.1980

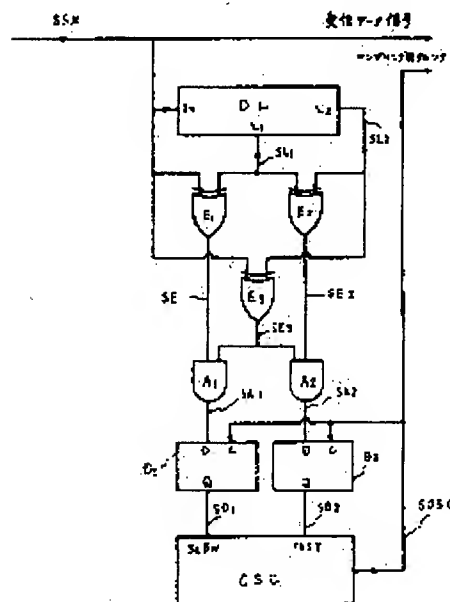
(51)Int.Cl.

H04L 7/02

(21)Application number : 53-079827 (71)Applicant : RICOH CO LTD

(22)Date of filing : 03.07.1978 (72)Inventor : YAMADA KUNIHIRO

## (54) REPRODUCING SYSTEM OF TIMING INFORMATION



## (57)Abstract:

**PURPOSE:** To secure an economical reproduction of the timing information for sampling from the reception signals through a digital process for the digital receiver by detecting the sampling position to the reception digital signals with correction.

**CONSTITUTION:** Output signals SL1 and SL2 which are obtained by giving the delay of  $1/2T_b$  and  $T_b$  to reception data signal SSX of transmission cycle  $T_b$  via delay circuit DL are compared with each other through exclusive OR gates  $E1 \square E3$ . And in case no agreement is obtained, the logic 1 signals are supplied to AND gates A1 and A2. When both input feature

logic 1, the output of the AND gate becomes logic 1 and then drawn into FFD1 or D2 with the rise of clock signals SOSOC which are formed into the timing information used for sampling of the reception signals of voltage control oscillator OSC. And in case the sampling phase shows an advance to signal SSX, the output of D1 is supplied to oscillator OSC; while the output of D2 is supplied in case the sampling phase shows a delay respectively. The frequency or the phase of OSC is controlled to form signals SOSOC into the timing information featuring a small phase error.

⑫ 特 許 公 報 (B 2)

昭61-17384

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公告 昭和61年(1986)5月7日

H 04 L 7/02  
H 03 L 7/06

B-6745-5K  
7530-5J

発明の数 2 (全17頁)

⑮ 発明の名称 タイミング情報再生方式

⑯ 特 願 昭53-79827

⑰ 公 開 昭55-8103

⑱ 出 願 昭53(1978)7月3日

⑲ 昭55(1980)1月21日

⑳ 発 明 者 山 田 邦 博 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
㉑ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号  
㉒ 代 理 人 弁 理 士 並 木 昭 夫  
審 査 官 松 尾 浩 太 郎  
㉓ 参 考 文 献 特 開 昭49-60813 (J P, A) 特 開 昭49-60863 (J P, A)  
特 開 昭49-67551 (J P, A)

1

2

㉔ 特許請求の範囲

1 受信デジタル信号をサンプリングするためのタイミング情報を該デジタル信号から再生するタイミング情報再生方式において、

発振周波数または位相を外部から制御されることの可能な発振器と、入力される前記受信デジタル信号を、該受信信号のボーレートの逆数に相当する時間 $T_b$ の1/2だけ遅延させて第1の遅延出力とし、また該時間 $T_b$ だけ遅延させて第2の遅延出力としてそれぞれ出力する遅延手段と、前記遅延手段へ入力される入力信号と前記第1の遅延出力との排他的オアをとつて第1のオア出力として出力する第1の手段と、前記第1の遅延出力と第2の遅延出力との排他的オアをとつて第2のオア出力として出力する第2の手段と、前記遅延手段へ入力される入力信号と前記第2の遅延出力との排他的オアをとつて第3のオア出力として出力する第3の手段と、前記第1のオア出力と前記第3のオア出力との論理積をとつて第1の論理積出力として出力する第4の手段と、前記第2のオア出力と前記第3のオア出力との論理積をとつて第2の論理積出力として出力する第5の手段と、前記第1の論理積出力を前記発振器出力と同期させて取り込み保持する第1の保持手段と、前記第2の論理積出力を前記発振器出力と同期させて取り込み保持する第2の保持手段と、前記第1の保持手段からの出力により前記発振器の発振位相を遅

らせるか発振周波数を下げ、前記第2の保持手段からの出力により前記発振器の発振位相を進ませるか発振周波数を上げるように前記発振器を制御する手段、とを具備し、

5 前記発振器の出力信号を受信デジタル信号サンプリングのためのタイミング情報として用いるようにしたことを特徴とするタイミング情報再生方式。

2 受信デジタル信号をサンプリングするためのタイミング情報を該デジタル信号から再生するタイミング情報再生方式において、

発振周波数または位相を外部から制御されることの可能な発振器と、入力される前記受信デジタル信号を、該受信信号のボーレートの逆数に相当する時間 $T_b$ の1/2だけ遅延させて第1の遅延出力とし、また該時間 $T_b$ だけ遅延させて第2の遅延出力としてそれぞれ出力する遅延手段と、前記遅延手段へ入力される入力信号と前記第1の遅延出力との排他的オアをとつて第1のオア出力として出力する第1の手段と、前記第1の遅延出力と第2の遅延出力との排他的オアをとつて第2のオア出力として出力する第2の手段と、前記第1のオア出力と前記第2のオア出力の反転出力との論理積をとつて第1の論理積出力として出力する第3の手段と、前記第2のオア出力と前記第1のオア出力の反転出力との論理積をとつて第2の論理積出力として出力する第4の手段と、前記第1の

論理積出力を前記発振器出力と同期させて取り込み保持する第1の保持手段と、前記第2の論理積出力を前記発振器出力と同期させて取り込み保持する第2の保持手段と、前記第1の保持手段からの出力により前記発振器の発振位相を遅らせるか発振周波数を下げ、前記第2の保持手段からの出力により前記発振器の発振位相を進ませるか発振周波数を上げるように前記発振器を制御する手段、とを具備し、

前記発振器の出力信号を受信デジタル信号サンプリングのためのタイミング情報として用いるようにしたことを特徴とするタイミング情報再生方式。

#### 発明の詳細な説明

この発明は、デジタル受信機におけるタイミング情報再生方式に関するものである。更に詳しく述べると、例えばFSKモード（周波数シフト・キーイング・モード）のデジタル通信などでは、デジタル信号の時系列が伝送されるだけであり、受信側で該信号の時系列を正しく検出するためには、該時系列を構成する各符号を正しくサンプリングするためのタイミング情報を別途つくってやらなければならない。この発明は、このようなタイミング情報を受信したデジタル信号から再生するための方式に関するものである。

さて、受信側でタイミング情報を得る従来技術の幾つかを次に説明する。その一つは、パイロット・トーン信号を用いる方式である。普通、電話回線を通してデータ伝送をおこなう場合、搬送波に対して何らかの変調をほどこすことによりデータを乗せるが、このために要する周波数帯域外の空いた周波数帯にパイロット・トーン信号を乗せて送り、受信側ではこのパイロット・トーン信号から受信データをサンプリングするためのタイミング情報を得る方式である。しかし、この方式では、変調方式や伝送方式が或る程度限定されるといふ難点があり、またパイロット・トーン信号を使用しない方式に対しては当然のことながら適用できないので、一般的な方式ということではできない。

次に第2の方式として零交叉法が知られている。この方式では、受信々号（但しベースバンド信号を考える）が零交叉する時点を直接求めるか、または受信々号を波形整形した後、得られる

2値信号の変化時点を直接求め、これらにより、タイミング信号を発生する局部発振器の発振周波数や位相を調整して受信データのボー・タイミングに同期させる方式である。しかし、この方式では、受信々号の零交叉の時点を直接求めるためにアナログ信号を扱わなければならない、すべてをデジタル処理化することができない。また波形整形後、得られる2値信号の変化時点を直接求める方式では、変化時点を求めるため信号波形の微分操作が必要になる。またデジタル的なサンプリング操作により変化時点を求めようとすると、サンプリング周波数を充分高くとらなければならない。そして、例えば光ファイバ通信の如き超高速で信号を伝送する場合、零交叉の時間位置とサンプリング時点との時間々係を直接求めるのが困難になる。また、電話回線を使ってFSKモデムにより変復調される信号を伝送する低速度伝送の場合でも、ボー・タイミング情報を得るためには、受信信号をボー・レートよりも充分高い周波数でサンプルしなければならない、その処理をマイクロコンピュータにより全デジタル的におこなうとすると、そのためのマイクロコンピュータのオーバヘッドが大きくなりすぎて、受信以外の処理能力がなくなることも考えられる。例えば、伝送速度が600ボーとし、1ボー当り16回のサンプリングをおこなうものとする、1サンプリング当り、 $1/(600 \times 16) \approx 104 \times 10^{-6}$ 秒の範囲内で処理することが必要になり、これでは、マイクロコンピュータをもつてしても、その処理が不可能になる場合も出てくる。

第3の方式は、次乗回路と狭帯域フィルタを用いる方式であるが、第1図は、かかる従来方式を示すブロック図であり、第2図はその動作時の各部信号波形のタイムチャートを示し、第3図は第1図の方式の変形を示す。これらの図において、1は次乗回路、2はフィルタ、3は90°移相器、4はリミッタ、5はプレフィルタ、6は全波整流器、を示す。

第1図および第2図を参照する。先ずベースバンド信号の受信々号Aを、次乗回路1を通すことにより、その次乗出力Bを得る。次に、出力信号Bを、受信々号のボー・レート（ $1/T_b$ ）に相当した周波数で共振する、Qの高い狭帯域フィルタ2を通して出力信号Cを得、これを移相器3に

て90° 移相して信号Dとした後、さらにリミッタ4を通して、タイミング信号Eを得る。この方式の変形として、第3図に示すように、受信々号をボー・レートの半分の周波数 ( $1/2Tb$ ) で共振するプレフィルタ5を通した後、全波整流器6にて全波整流し、以後、フィルタ2、90° 移相器3、リミッタ4を通してタイミング信号を得る方式もある。しかし、これらの方式では、使用する狭帯域フィルタが、Qが高く、ボー・レートの周波数に正しく同調した狭帯域フィルタであることを要し、若しQが低すぎると、再生されたタイミング信号はジッタの多いものになってしまう。また狭帯域フィルタにおいて正確な同調がとれていない場合には、再生されたタイミング信号の位相にオフセットを生じ、位相誤差が生じる。そこで、このようなQが高く、所定周波数に正しく同調したフィルタをアナログ回路で実現しようとする、高精度、高安定度の部品およびその組立が要求され、またデジタル・フィルタの形で実現しようすると、多くの演算回路を要求され、何れにしても高価格になることを免れない。

この発明は、上述のような従来方式のもつ難点をそれぞれ克服するためになされたものであり、従つてこの発明の目的は、一般的に使用でき、デジタル的な処理により、しかも低いサンプリング周波数のもとで、比較的安価に受信デジタル信号からそのサンプリングのためのタイミング情報を再生する一つの新規な方式を提供することにある。

次にこの発明の動作原理を説明する。第4図はこの発明の原理を説明するための図で、受信データとそのサンプリング位相との関係を示し、aは正しい場、bは進んでいる場合、cは遅れている場合、を示す。

第4図を参照する。今、受信データの時系列を構成する各符号が時間 $Tb$ ごとに送信されてくるものとする。その符号の一つを時間幅が $Tb$ の方形波パルスPで表わし、そのサンプリング時点の遅れ、進みの関係を説明する。第4図において、受信データのサンプリング時点 $t_0$ を次のように定めたものとする。

$$t_0 = iTb \quad (\text{但し } i = 0, \pm 1, \pm 2, \dots)$$

第4図aにおいて、パルスPに対するサンプリング時点は、上記の式により $t_0 = 0$ の時点である

が、このサンプリング時点は、パルスPの丁度中央に位置するので、サンプリングのための正しい位相にあると云える。これに対し、第4図bにおいては、パルスPの位相が、第4図aに比し、相対的に時間 $\tau$ だけ遅れている。そのため、サンプリング時点 ( $t_0 = 0$ ) は、パルスPの中央より $\tau$ だけ進んでいる。第4図cにおいては、パルスPの位相が第4図aに比較し、時間 $\tau$ だけ進んでいるので、サンプリング時点 ( $t_0 = 0$ ) は、パルスPの中央より $\tau$ だけ遅れている。以上の通りであるから、第4図aにおいて、縦軸の量を、横軸である時間 $t$ の関数として、 $x(t)$ で表現するものとする、第4図bにおいては、縦軸の量は $x(t - |\tau|)$ で表わされ、第4図cにおいては縦軸の量は $x(t + |\tau|)$ で表わされる。第4図a、bおよびcともに縦軸の量を $x(t + \tau)$ で表わせば、第4図aは $\tau = 0$ 、第4図bは $\tau < 0$ 、第4図cは $\tau > 0$ の場合として表わされる。

さて、第4図において、パルスPをサンプリングする時点 ( $t_0 = 0$ ) が、パルスPの中央に一致している場合は勿論のこと、第4図b、cにみられる如く、パルスPの中央位置から時間 $\tau$ だけずれていても、 $|\tau| < Tb/2$ の関係を満足する限り、パルスPをサンプリングすることは可能ではある。しかし実際には、伝送データは、その伝送途中において伝送歪や、ノイズや、或はジッタ等の影響を必ず受けるものであり、従つて受信データについては、その符号パルスの中央位置でサンプリングするのが良く、サンプリング位置がパルス中央位置からずれるほど、サンプリング誤りの可能性が強くなる。つまり、正しいサンプリングをおこなうためには、 $|\tau| < Tb/2$ の関係が満足されなければならない。このような理由で、パルス符号に対するサンプリング時点が該パルスの中央位置から進んでいるか遅れているかを判断し、それによりサンプリング時点を正しい位置へ修正することが必要になる。換言すると、サンプリングのためのタイミング情報の位相を、受信データであるパルス符号の中央の位相と一致させることが必要な訳である。

ところで、データ・サンプリング時点が、パルス符号の中央位置に対し遅れているのか、進んでいるのかをどうやって判断するのか、その点を次に説明する。受信したデータ・パルスに対して、

の伝送周期および伝送位相に追従させることができる。

第5図は、この発明の一実施例のブロック図を示す。第5図において、DLは遅延回路、E<sub>1</sub>乃至E<sub>3</sub>はそれぞれ排他的オアゲート、A<sub>1</sub>とA<sub>2</sub>はそれぞれアンドゲート、OSCは可変周波数または可変位相の電圧制御発振器、D<sub>1</sub>とD<sub>2</sub>はそれぞれD型フリップフロップ、を示す。

第5図を参照する。2値の受信データ信号SSXが到来すると（なお、受信々号の波形整形回路などは図示を省略してある）、該信号は遅延回路DLの入力端子Inへ入力される。受信データ信号の伝送周期をTbとすると、遅延回路DLにおいて、入

力端子Inから出力端子L<sub>1</sub>までの遅延時間が $\frac{1}{2}Tb$ で

あり、入力端子Inから出力端子L<sub>2</sub>までの遅延時間がTbであるように定めておく。排他的オアゲートE<sub>1</sub>では、遅延回路DLの入力端子Inにおけるデータ信号と、出力端子L<sub>1</sub>における出力データ信号SL<sub>1</sub>とが一致するか、しないかを調べ、不一致のとき論理1を出力する。排他的オアゲートE<sub>2</sub>は、同様に、遅延回路DLの出力端子L<sub>1</sub>における出力データ信号SL<sub>1</sub>と、出力端子L<sub>2</sub>における出力データ信号SL<sub>2</sub>とを比較し、両者が不一致のとき

25 論理1信号を出力する。排他的オアゲートE<sub>2</sub>も同様に、遅延回路DLの入力端子Inにおけるデータ信号と出力端子L<sub>2</sub>における出力データ信号SL<sub>2</sub>とを比較し、両者が不一致のとき論理1信号を出

力する。アンドゲート  $A_1$  は、排他的オアゲート  $E_1$  の出力と  $E_2$  の出力が共に論理 1 のとき、論理 1 信号を出力する。アンドゲート  $A_2$  は、排他的オアゲート  $E_3$  と  $E_2$  の各出力が論理 1 のとき、論理 1 信号を出力する。発振器 OSC は、その発振周波数または位相を外部から制御されることの可

35 能な電圧制御発振器であり、その中心周波数は、  
受信データ信号SSXのボー・レートに等しい周波  
数 ( $1/T_b$  Hz) に設定されている。またこの  
発振器OSCは、そのFAST端子に論理1信号が入  
力されると、その発振周波数が上り、または発振  
40 位相が進むようになっており、SLOW端子に論理  
1信号が入力されると、その発振周波数が下り、  
または発振位相が遅れるようになっている。D型  
フリップフロップD<sub>1</sub>は、発振器OSCの出力であ  
るクロック信号SOSCをそのクロック入力端子C

以上、3通りの場合について吟味するに、

以上、3通りの場合について吟味するに、

(iii) この場合、 $t < 0$ と推定され、パルス符号に対するサンプル時点が該パルス符号の中央位置より進んでいると推定される。

(iii) この場合、 $\tau > 0$ と推定され、パルス符号に対するサンプル時点が該パルス符号の中央位置より遅れていると推定される。

従つて、パルス符号のサンプル時点の位相誤差 35  
 $\epsilon$  を零に近ずけるためには、上記(iii)の場合には、  
 サンプル時点の位相を遅らせるか、サンプリング  
 用タイミングパルスの繰り返し周波数を下げれば  
 よい。また上記(ii)の場合は、サンプル時点の位相  
 を進めるか、サンプリング用タイミングパルスの 40  
 繰り返し周波数を上げればよい。このような位相  
 または周波数の制御方法としては、サンプリング  
 用タイミングパルス発振器をPLL (Phase  
 Locked Loop) に組込んで、受信データパルス

に受ける毎に、そのクロック入力の上立ちエッジでトリガされ、入力端Dに印加されているアンドゲートA<sub>1</sub>の出力をサンプルして取り込む。フリップフロップD<sub>2</sub>も同様にしてアンドゲートA<sub>2</sub>の出力信号をサンプルして取り込む。フリップフロップD<sub>1</sub>の端子Qからの出力信号SD<sub>1</sub>は発振器OSCのSLOW端子へ、またフリップフロップD<sub>2</sub>の端子Qからの出力信号SD<sub>2</sub>はFAST端子へ印加されるようになってい

る。ここではフリップフロップD<sub>1</sub>およびD<sub>2</sub>は、入力信号の一種のサンプル及びホールド回路として働いている。  
さて、発振器OSCの出力であるクロック信号SOSCの立ち上りエッジの時点をもととし、この時点において、受信データ信号SSXが、 $SSX = x$  ( $t_0 + \tau$ ) で表現されるものとする、 $SL_1 = x$  ( $t_0 - \frac{Tb}{2} + \tau$ ) となり、また  $SL_2 = x$  ( $t_0 - Tb + \tau$ ) となる。但し  $t_0 = iTb$  ( $i = 0, \pm 1, \pm 2, \dots$ )。先に、第4図を参照した説明したこの発明の原理を適用すると次の如くなる。

まず、クロック信号SOSCの立ち上りエッジでフリップフロップD<sub>1</sub>へ、端子Dから取り込まれる時点でのアンドゲートA<sub>1</sub>の出力端子SA<sub>1</sub>が、論理1となる場合である。この場合は、

$$SE_1 = SE_2 = \text{論理1}$$

の筈であるから、

$$SL_2 = SL_1 = SSX$$

となり、前述の式(2)に該当する。従つて、この場合は、発振器OSCの出力クロック信号SOSCのサンプリング位相は進んでおり、サンプリング位相誤差 $\tau$ は、 $\tau < 0$ であると推定される。そこで、このSA<sub>1</sub> = 論理1という信号は、クロック信号SOSCの立ち上りエッジでフリップフロップD<sub>1</sub>に取り込まれ、該フリップフロップをセットする。その結果、フリップフロップD<sub>1</sub>の出力信号SD<sub>1</sub>も論理1となり、発振器OSCのSLOW端子に印加されて、該発振器の発振周波数を下げ、または発振位相を遅らせるので、サンプリング位相誤差 $\tau$ は一段と零に近づく。

次に、同じくクロック信号SOSCの立ち上りエッジでフリップフロップD<sub>2</sub>へ取り込まれる時点でのアンドゲートA<sub>2</sub>の出力信号SA<sub>2</sub>が、論理1となる場合である。この場合、

$$SE_2 = SE_3 = \text{論理1}$$

の筈であるから

$$SL_2 = SL_1 = SSX$$

となり、前述の式(3)に該当する。従つて、この場合は、発振器OSCの出力クロック信号SOSCのサンプリング位相は遅れており、サンプリング位相誤差 $\tau$ は、 $\tau > 0$ であると推定される。SA<sub>2</sub> = 論理1というこの信号は、クロック信号SOSCの立ち上りエッジでフリップフロップD<sub>2</sub>に取り込まれて該フリップフロップをセットする。すると、フリップフロップD<sub>2</sub>の出力信号SD<sub>2</sub>が論理1となつて発振器OSCのFAST端子に印加されるので、該発振器の発振周波数は上り、または発振位相が進み、サンプリング位相誤差 $\tau$ は一段と零に近づく。

上記の説明において、信号SD<sub>1</sub>とSD<sub>2</sub>が同時に論理1になる場合があり得ないのは明らかであろう。何故ならば、信号SSX、SL<sub>1</sub>およびSL<sub>2</sub>は2値論理の信号であるから、SE<sub>1</sub>とSE<sub>2</sub>とSE<sub>3</sub>が同時に論理1になることはあり得ないからである。従つて、信号SA<sub>1</sub>とSA<sub>2</sub>が同時に論理1になることはあり得ず、それ故、信号SD<sub>1</sub>とSD<sub>2</sub>も同時に論理1になることはあり得ない。

第6図は、第5図の実施例の動作時における各部信号波形のタイムチャートを示す図で、受信データに対するサンプリング・クロック信号の位相が、当初は進んでいたものが、次第に修正されて、最後は正しい位相に達する過程を示している。

第6図を参照する。当初、受信データSSX（パルスP）に対するクロック信号SOSCの立ち上りエッジによるサンプリング位置は、矢印Aで示す如く、パルスPの中央位置より大分進んでいたところ、信号SD<sub>1</sub>が何度も発振器OSCのSLOW端子に印加された結果、次第にサンプリング位置が修正され、最終的には、矢印Bで示す如く、クロック信号SOSCの立ち上りエッジによるパルスP'のサンプリング位置は、該パルスP'の中央位置に達しており、クロック信号SOSCが正しいサンプリング位相に達したことが理解されるであろう。

第7図は、第6図と同様なタイムチャートを示す図であるが、受信データに対するサンプリング・クロック信号の位相が、当初は遅れていたものが、次第に修正されて、最後は正しい位相に達する過程を示す。

第7図を参照する。当初、受信データSSX（パルスP）に対するクロック信号SOSCの立ち上りエッジによるサンプリング位置は、矢印A'で示す如く、パルスPの中央位置より大分遅れていたところ、信号SD<sub>2</sub>が何度も発振器OSCのFAST端子に印加された結果、次第にサンプリング位置が修正され、最終的には、矢印B'で示す如く、クロック信号SOSCの立ち上りエッジによるパルスP'のサンプリング位置は、該パルスP'の中央位置に達しており、クロック信号SOSCが正しいサンプリング位相に達したことが理解されるであろう。

第8図は、第5図の実施例において、その動作時、サンプリング位相誤差が零である場合の各信号波形のタイムチャートを示す。

第8図を参照する。受信データ信号SSXのパルスPの中央部が、サンプリング用クロック信号SOSCの立ち上りエッジと一致しているから、この場合、クロック信号SOSCは正しいサンプリング位相にあると云える。受信データ信号SSXのパルスの前縁または後縁であるC点、C'点、或はC''点などでサンプリングする場合を考えると、これらの点は丁度、受信データの信号値の変化点に当たっている。第5図の論理回路は2値論理を扱う回路であるから、前記C点、C'点、或はC''点などにおけるサンプル値は論理1または論理0の何れかである。一般に、受信データ信号は波形歪を受けるし、また伝送中、ジッタも起るので、このため受信データ信号SSXは、C、C'、C''点の如き変化点では、図中に点線で示した如く、本来あるべき変化点の前後に、その変化点がふらついて移動することがある（以後、この現象を総称して単にジッタという）。このようにジッタ現象が存在するため、受信データ信号SSXに対するサンプリング用クロック信号SOSCのサンプリング位相誤差が零であつても、受信データ信号の変化点（C、C'、C''など）ではサンプリング位相誤差が存在するかの如く判定されることがあり、このため発振器OSCにより再生されたサンプリング用クロック信号SOSCに無用の影響を及ぼし、ジッタを起させることもある。しかし、このような好ましからぬ影響は、PLL（Phase Locked Loop）のループ・ゲインを適当な値にまで小さくすることで、充分小さくできるし、また適当な

ループ・フィルタを設けて解決してもよく、これらの手法としては一般に良く知られた手法を用いればよい。

さて、第6図および第7図のタイムチャートを見る限り、第5図の実施例における排他的オアゲートE<sub>3</sub>の出力信号SE<sub>3</sub>は、動作上、その役割を果していないので、これにつき説明する。第5図の実施例が正常に動作するときは、排他的オアゲートE<sub>3</sub>は不要であり、省略することができる。正常な動作時において、ノイズの影響が何もないければ、サンプリング用クロック信号SOSCが論理1へ立ち上る時点において、遅延回路DLの両端の出力信号SSXとSL<sub>2</sub>が一致しているならば、遅延回路DLの中央の出力端子L<sub>1</sub>からの出力信号SL<sub>1</sub>も、信号SSXおよびSL<sub>2</sub>と同じ論理値をとる筈である。しかし、ノイズの影響のため、このような場合でも、出力信号SL<sub>1</sub>が信号SSX（およびSL<sub>2</sub>）と同じ論理値とならないことがある。このようなノイズの存在による誤判定を避けるために、サンプリング用クロック信号SOSCが論理1へ立ち上る時点において、遅延回路DLの中央の出力端子L<sub>1</sub>からの出力信号SL<sub>1</sub>が、遅延回路DLの両端の出力信号（SSX及びSL<sub>2</sub>）と不一致であつても、出力信号SSXとSL<sub>2</sub>が一致するときは、排他的オアゲートE<sub>3</sub>が出力信号SE<sub>3</sub>を生じない。つまり、この場合、アンドゲートA<sub>1</sub>もA<sub>2</sub>も閉じられてており、誤判定が阻止される訳である。以上の説明により、排他的オアゲートE<sub>3</sub>の役割が理解できたと思われる。

第9図は、この発明の他の実施例を示すブロック図であるが、第5図の実施例と実質的に同じ論理回路であり、ただ第5図における排他的オアゲートE<sub>3</sub>の機能を、二つのインバータN<sub>1</sub>およびN<sub>2</sub>によつて果させるようにしたものである。各部信号の動作波形のタイムチャートも、信号SE<sub>3</sub>の分がないことを除けば、第6図および第7図と全く同じである。

第10図は、この発明の別の実施例を示すブロック図であるが、結果的には第5図および第9図の実施例と同一機能のものである。第10図の実施例では、第9図のそれに比し、D型フリップフロップD<sub>1</sub>およびD<sub>2</sub>が、アンドゲートA<sub>1</sub>、A<sub>2</sub>の出力側でなく、入力側に配置されているため、同時に論理1の状態をとり得るが、インバータN<sub>1</sub>と

$N_2$ 、およびアンドゲート  $A_1$  および  $A_2$  により、信号  $SD_1$  と  $SD_2$  が同時に論理 1 になることはないようになっている。動作時の各部信号のタイムチャートも、 $SE_3$ 、 $SA_1$  および  $SA_2$  を除けば、第 6 図および第 7 図と全く同じである。

第 11 図は、第 5 図または第 10 図に示した実施例の一部を改変して得られる、この発明の他の実施例のブロック図である。

第 11 図を参照する。第 5 図では、排他的オアゲート  $E_1$ 、 $E_2$ 、 $E_3$  およびアンドゲート  $A_1$ 、 $A_2$  から成る一連の回路の出力側にフリップフロップ  $D_1$  および  $D_2$  が位置しているが、第 11 図では前記一連の回路の入力側にフリップフロップ  $D_5$ 、 $D_6$  および  $D_7$  が位置している。すなわち、各フリップフロップ  $D_5$ 、 $D_6$  および  $D_7$  は、それぞれ発振器 OSC の立ち上りエッジで、受信データ信号の現在の信号、 $\frac{T_b}{2}$  時間前の信号、および  $T_b$  時間前の信号をそれぞれサンプルして取り込み、保持する。第 11 図における排他的オアゲート  $E'_1$ 、 $E'_2$  および  $E'_3$  の入出力信号のタイムチャートは、フリップフロップ  $D_5$ 、 $D_6$  および  $D_7$  によってサンプル保持された信号が排他的オアゲート  $E'_1$ 、 $E'_2$  および  $E'_3$  の入力信号となっているため、第 5 図の排他的オアゲート  $E_1$ 、 $E_2$  および  $E_3$  の入出力信号のタイムチャートとは異なるが、第 11 図における信号  $SSX$ 、 $SL_1$ 、 $SL_2$  および  $SD_1$ 、 $SD_2$  のタイミングチャートは、第 5 図における同信号のタイミングチャートと同じであり、従つて第 6 図および第 7 図に示したのと同じである。

第 12 図は、第 11 図に示した実施例の一部を改変して得られる、この発明の別の実施例のブロック図である。第 12 図に示した実施例が第 11 図のそれと相違する点は、フリップフロップ  $D_7$  の入力として、遅延回路 DL の出力  $SL_2$  ではなく、フリップフロップ  $D_5$  の出力を用いている点である。従つて遅延回路としては、遅延時間  $\frac{T_b}{2}$  をもつ遅延回路  $DL'$  でよい。信号  $SL_2$  を除けば、他の各信号のタイムチャートは、第 11 図における場合と全く同じになる。

さて、先に、第 5 図における排他的オアゲート  $E_3$  の動作の役割について説明したが、その説明から明らかなように、受信々号がノイズや波形歪

などの影響を余り受けなくてすむような場合には、第 5 図において排他的オアゲート  $E_3$  を省略することができる。また、ノイズなどの影響により、アンドゲート  $A_1$  と  $A_2$  の各出力信号  $SA_1$  と  $SA_2$

5 が共に論理 1 となることがあつても、その場合は、発振器 OSC の側で、SLOW 端子の入力信号と FAST 端子の入力信号を互いに打ち消し合わせるような構成にしておけば、同じく排他的オアゲート  $E_3$  を省略することができる。この場合の実施例を第 13 図に示す。その動作時の諸信号のタイムチャートは、信号  $SE_3$ 、 $SA_1$  および  $SA_2$  のタイムチャートがないことを除けば、第 6 図、第 7 図のそれと同じである。

第 14 図は、第 12 図の一部を改変して得られる、この発明の更に別の実施例のブロック図であるが、第 14 図と第 12 図の関係は、先に説明した第 13 図と第 5 図の関係と同じであるから、第 14 図について、これ以上、説明の要はないと思われる。

第 15 図は、この発明の更に他の実施例を示す論理回路図であり、先に第 4 図を参照してこの発明の原理を説明する際に用いた基本式 (1')、(2') および (3') に基づくものである。フリップフロップ  $D_3$  または  $D_4$  への信号  $SA_1$  または  $SA_2$  の取り込みが、クロック信号  $SOSC$  の立ち下りエッジでおこなわれる点に注意すれば、他に詳しい説明は要しないであろう。

第 16 図は、この発明の更に別の実施例を示す論理回路図であるが、第 15 図の実施例における排他的オアゲート  $E_3$  の代りに、インバータ  $N_1$  と  $N_2$  を用いて同一機能を果させたものである。第 15 図と第 16 図の関係は、先の第 5 図と第 10 図の関係と同じである。

第 17 図は、この発明の更にまた別の実施例を示す論理回路図であるが、先にこの発明の動作原理を説明する際に用いた基本式 (1)、(2)、(3) と (1')、(2')、(3') の双方に基づく例である。従つてこの実施例は、第 10 図と第 16 図の各実施例を組合せた形になっている。それだけ信頼度の高い制御動作を期待することができる。詳細な説明は不要と考えられるので省略する。

以上説明したとおりであるので、この発明によれば、従来方式と全く相違して、零交叉の時点



15

16

なく、またサンプリング位相誤差検出のための受信々号サンプリング操作の頻度を高くする必要もなく、高Qのフィルタを使う必要もなく、サンプリング頻度は受信々号のボー・レートと同じ周波数に相当する低頻度でよく、零交叉の時点は直接

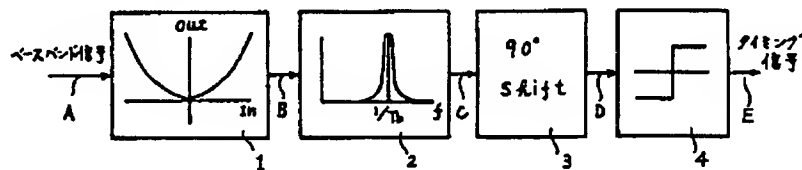
#### 図面の簡単な説明

第1図は、従来のタイミング情報再生方式の一例を示すブロック図であり、第2図はその動作時の各部信号波形のタイムチャートを示し、第3図は第1図の方式の一つの変形を示す。第4図はこの発明の原理を説明するための図で、受信データ

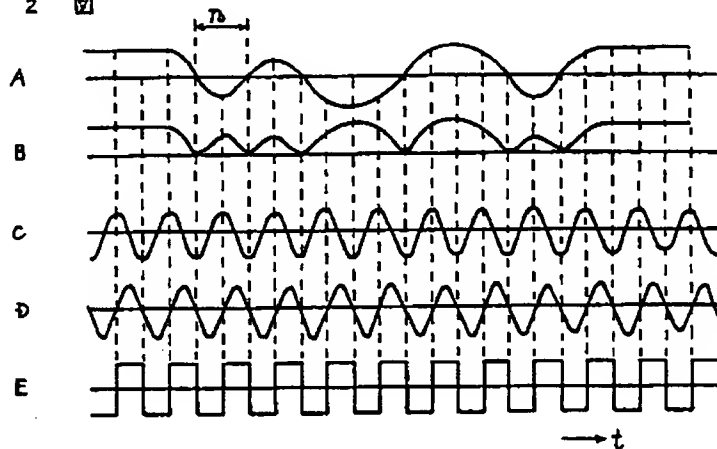
15 いる場合を示す。第5図はこの発明の一実施例を示すブロック図であり、第6図はその動作時の各部信号波形のタイムチャートで当初、サンプリング位相が進んでいる場合、第7図は同様なタイムチャートで当初、遅れている場合、第8図は同様な関係信号のタイムチャートでサンプリング位相誤差が零の場合を、それぞれ示す。第9図はこの発明の他の実施例を示すブロック図、第10図は更に別の実施例を示すブロック図、第11図は更に他の実施例を示すブロック図、第12図乃至第17図もそれぞれ、この発明の更にまた別の実施例を示すブロック図である。

図において、1は次乗回路、2はフィルタ、3は90°移相器、4はリミッタ、5はプレフィルタ、6は全波整流器、DLは遅延回路、OSCは可変周波または可変位相の発振器、を示す。

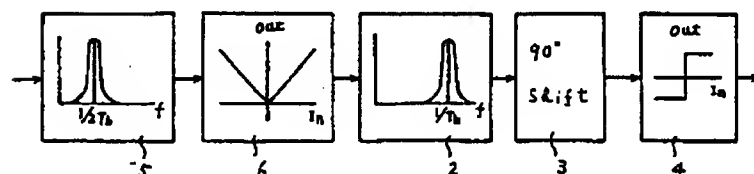
第 1 図



第 2 図



第 3 図



SSX

受信データ信号

サンプリングクロック

In

DL

L<sub>1</sub>

L<sub>2</sub>

SL1

SL2

E<sub>1</sub>

E<sub>2</sub>

E<sub>3</sub>

SE1

SE2

SE3

A<sub>1</sub>

A<sub>2</sub>

SA1

SA2

D

C

Q

D<sub>1</sub>

Q<sub>1</sub>

SD1

SD2

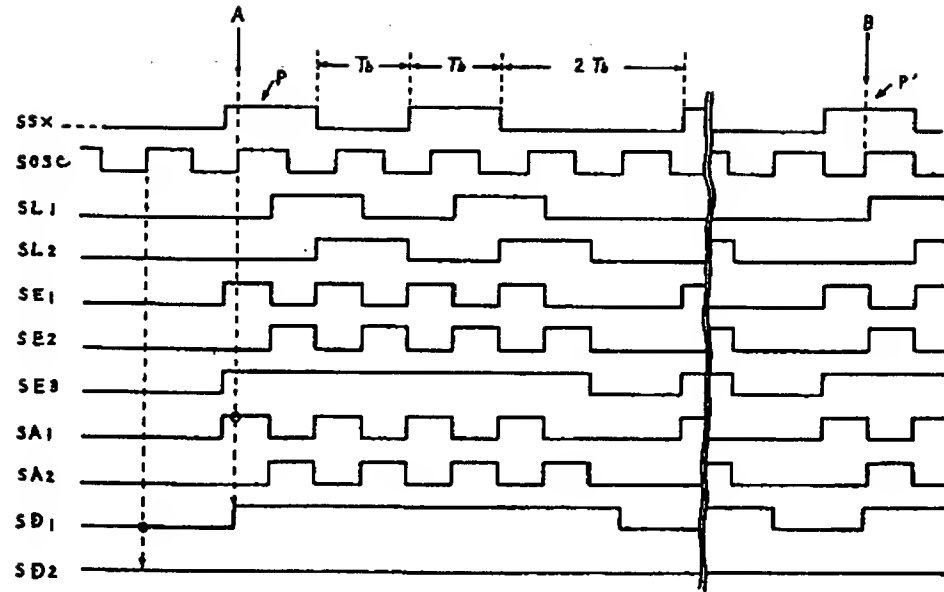
OSC

SLOW

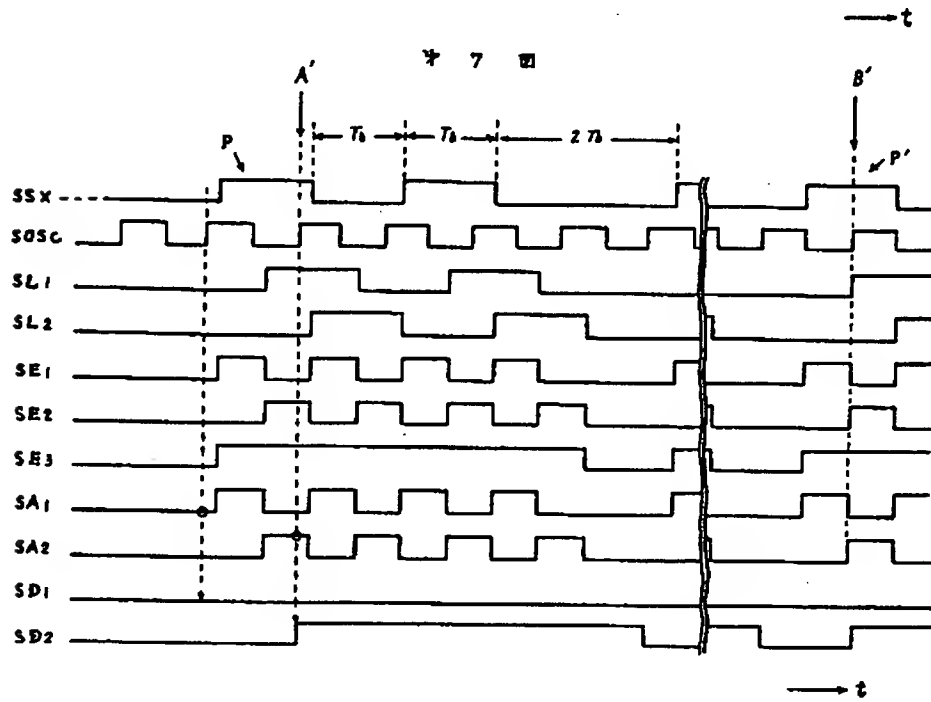
FAST

SOSC

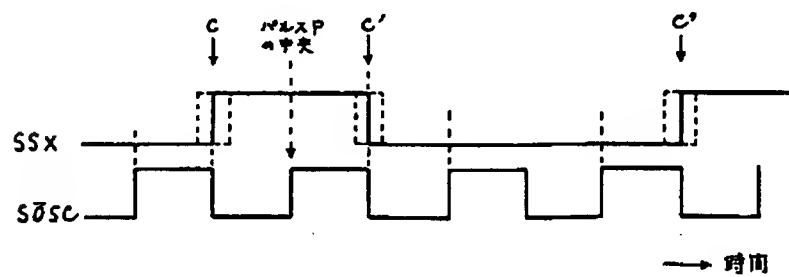
\* 6 図



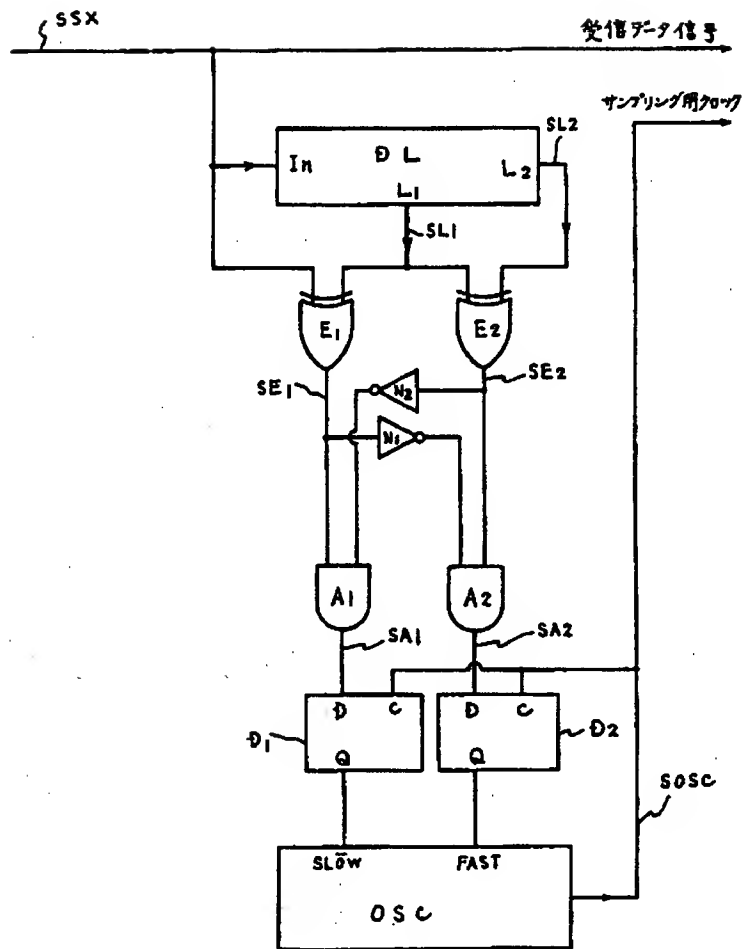
\* 7 図



\* 8 図



\* 9 図



\* 10 図

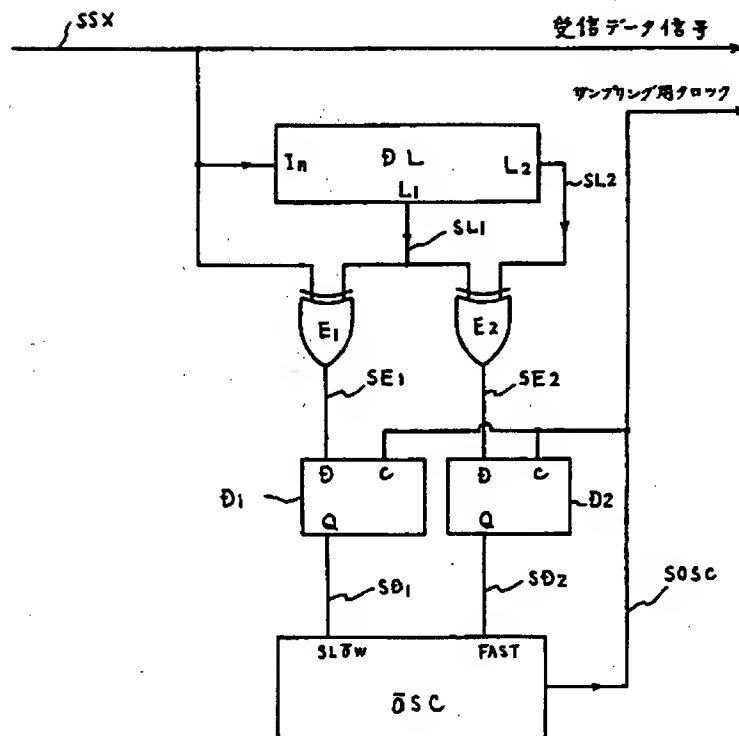


図 10

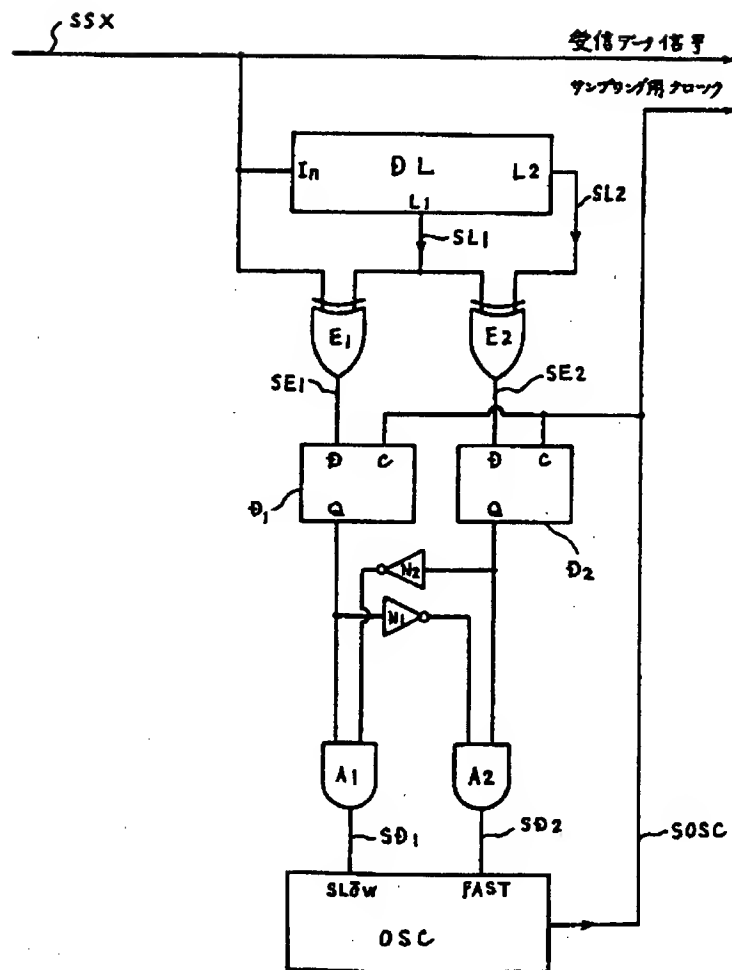
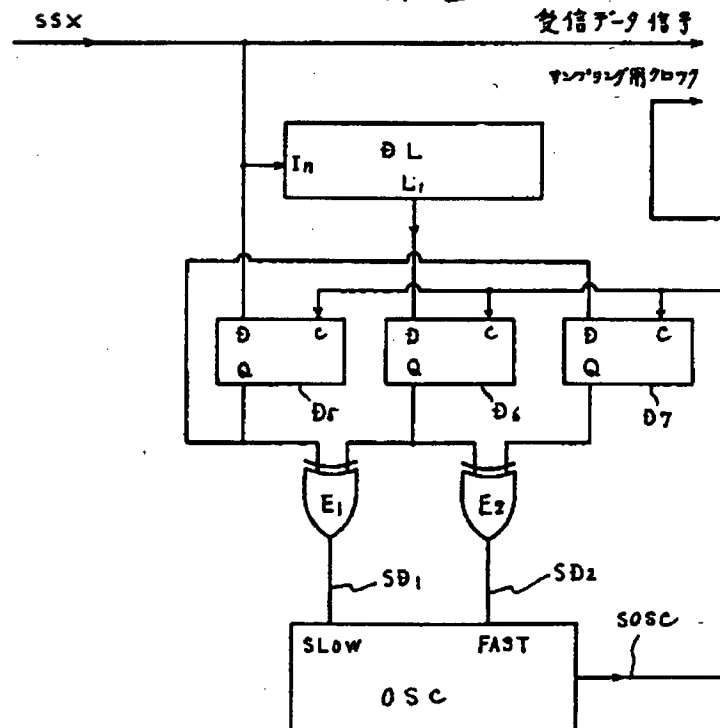
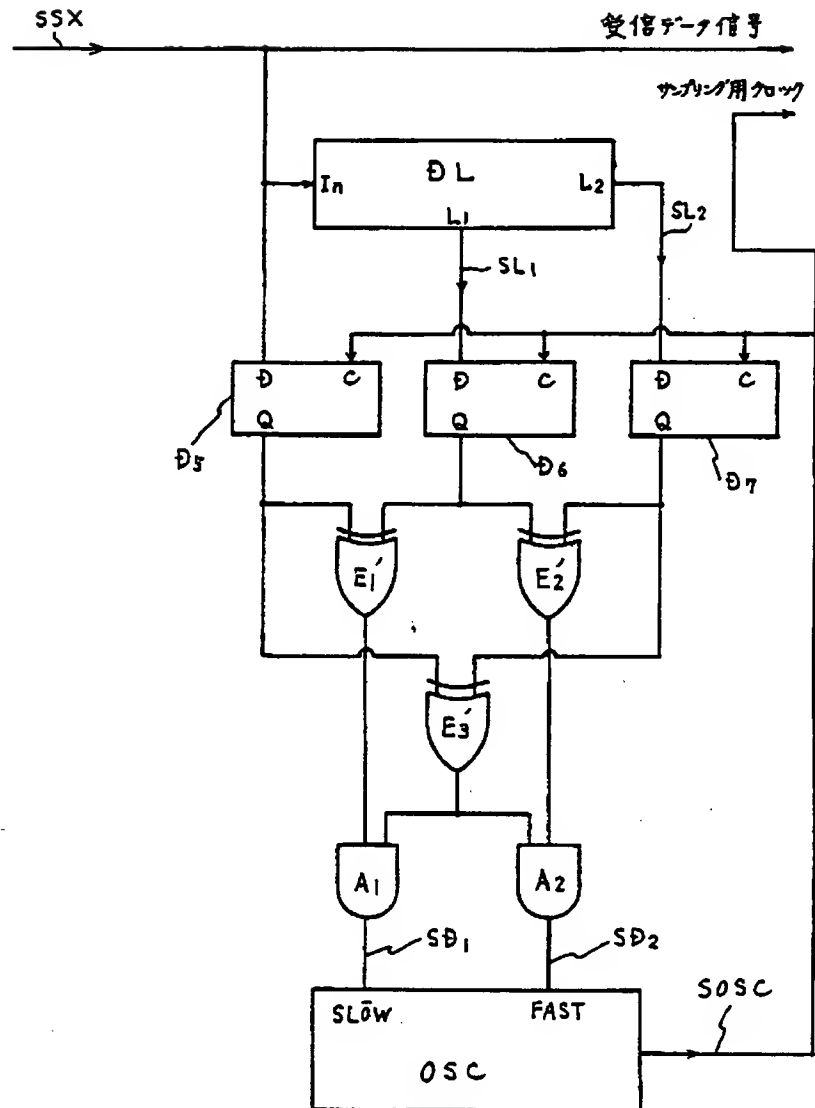


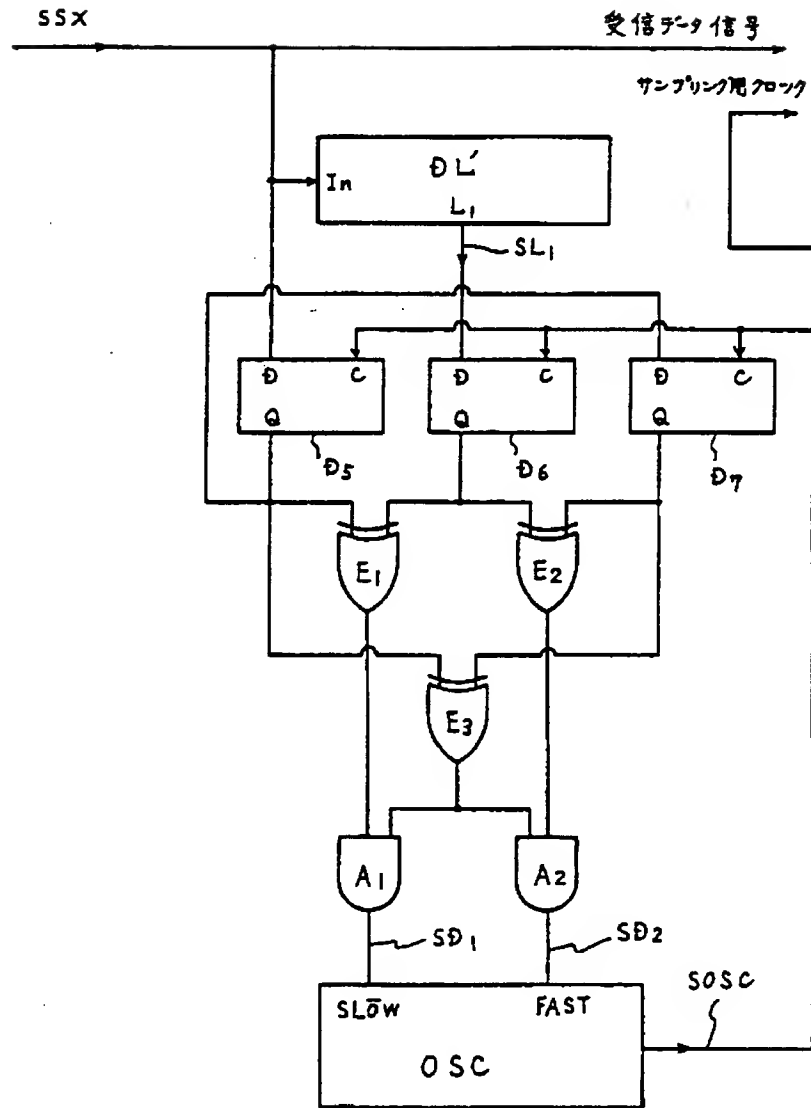
図 14



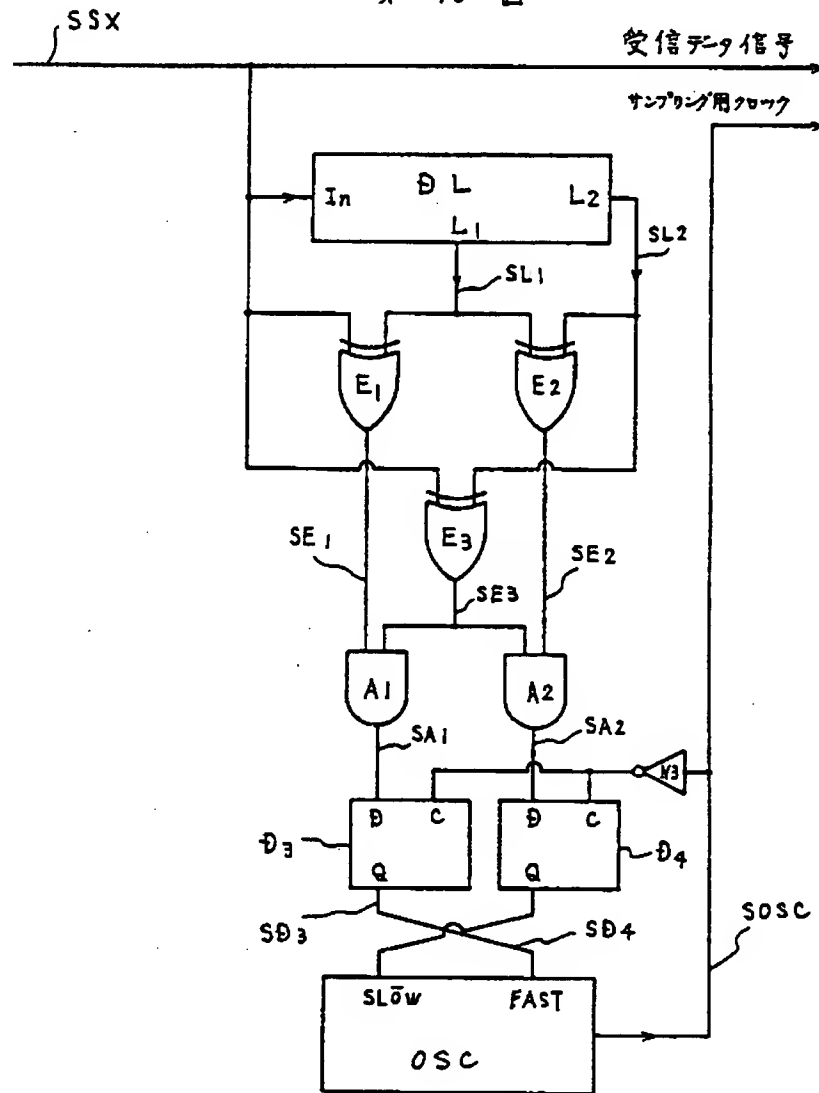
★ // ▣



第 12 図



\* 15 図







ネ 17

